

A concise explanation of relevance between the attached document (Japanese Patent Application Laid-open No. H09-246705) and the present invention in the subject US application

The attached document is related to claims 29 to 33 of the present invention in the subject US application. According to the attached document, a pair of silica glass plates 15 is disposed in such a manner to face each other. The material of the plate 15 may be glass other than silica, alumina, and ceramics as a substitute for silica glass. A powered electrode 16 is provided on an outside surface of one plate 15 and an earthed electrode 17 is provided on an outside surface of the other plate 15. An upper block 19 is provided on the upper side of the electrode 16, 17 and a lower block 18 is provided on the lower side of the electrode 16, 17. The blocks 18, 19 are made of dielectric material such as glass, alumina, and so on. Electromagnetic wave preventive covers 20 are provided on the outside of the electrodes 16, 17 and lower blocks 18 (pala.0018, col.5 line 9-18, fig.4).

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246705

(43) 公開日 平成9年(1997)9月19日

(51) Int. Cl. ⁶
 H05K 3/34
 B23K 1/20
 C23C 16/50

識別記号
 501

F I
 H05K 3/34 501 Z
 B23K 1/20 K
 C23C 16/50

審査請求 未請求 請求項の数 8 F D (全7頁)

(21) 出願番号 特願平8-106399

(22) 出願日 平成8年(1996)3月12日

(71) 出願人 000002369

セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号

(72) 発明者 郡 利明

長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

(72) 発明者 久保田 勲

長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内

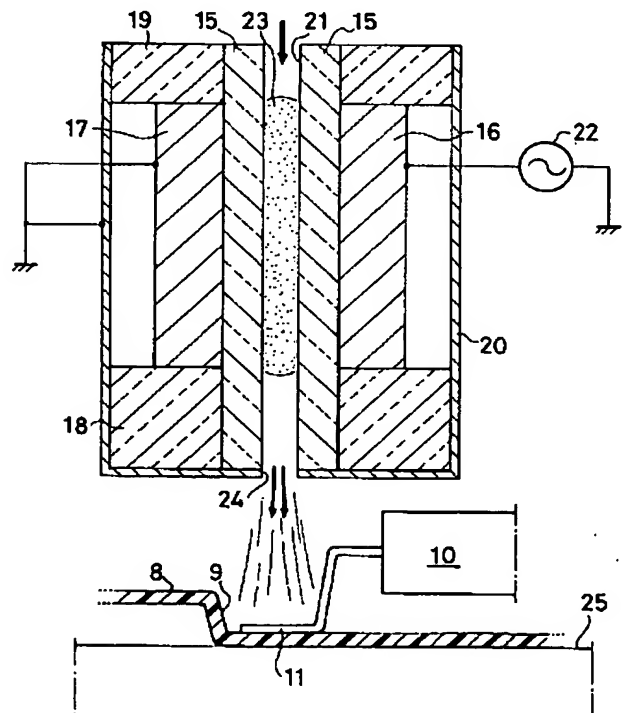
(74) 代理人 弁理士 梅田 明彦

(54) 【発明の名称】 電子部品、その実装方法、及び電子デバイス

(57) 【要約】

【解決手段】 表面処理装置7の放電部13において、大気圧又はその近傍の圧力下で気体放電を発生させることによりフロンを含むガスの励起活性種を生成し、該励起活性種に、パレット8に収容した多数の半導体部品を曝露させて表面処理した後、パレットごとチップマウンタ3に供給する。はんだ印刷機2は、従来より少ない量のクリームはんだを予め基板の電極パッドに塗布してチップマウンタに送り、チップマウンタは、該基板に半導体部品を装着してリフロー装置4に送る。リフロー装置は、熱風によりクリームはんだを熔融させて、リフローにより半導体部品のリードを基板の電極パッドにはんだ付けする。

【効果】 リード表面は、フッ化合物が形成されてはんだのぬれ性が大幅に向上する。ブリッジを生じることなく、十分な接合強度を有する良好なはんだ付けが実現できる。歩留まり、品質が向上し、コストが低減する。



【特許請求の範囲】

【請求項 1】 電子部品をはんだ付けにより基板上に表面実装するための方法であって、

前記基板の電極にはんだを予め付着させる過程と、
大気圧又はその近傍の圧力下において気体放電を発生させることにより所定のガスの励起活性種を生成し、前記励起活性種に前記電子部品の接続部を曝露させて表面処理する過程と、

表面処理した前記電子部品を前記基板に装着する過程と、

前記はんだを溶融させて前記電子部品を前記基板にはんだ付けする過程とからなることを特徴とする電子部品の実装方法。

【請求項 2】 多数の前記電子部品を載せたパレットを前記励起活性種に曝露することによって、前記多数の電子部品を一括して表面処理することを特徴とする請求項 1 記載の電子部品の実装方法。

【請求項 3】 前記所定のガスがフロンであることを特徴とする請求項 1 又は 2 記載の電子部品の実装方法。

【請求項 4】 前記はんだが前記電極に印刷されるクリームはんだであることを特徴とする請求項 1 乃至 3 のいずれか記載の電子部品の実装方法。

【請求項 5】 はんだ付けにより基板の電極に接合される接続部を有し、前記接続部の表面が、大気圧又は近傍の圧力下で気体放電させることにより所定のガス中に生成される励起活性種に曝露することによって予め処理されていることを特徴とする電子部品。

【請求項 6】 前記接続部がパッケージの外部に導出される複数のリードであることを特徴とする請求項 5 記載の電子部品。

【請求項 7】 前記所定のガスがフロンであることを特徴とする請求項 5 又は 6 記載の電子部品。

【請求項 8】 請求項 1 乃至 4 のいずれか記載の方法により電子部品を基板に表面実装した電子デバイスであって、

前記電子部品の接続部を前記基板の電極に接合するはんだのフィレットの表面に、前記電極側から接続部側へ延びる細い筋状に形成されたしわを有することを特徴とする電子デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に SMD（表面実装部品）、例えば多数のリードを有する QFP、SOP やリードを有しない他の半導体部品、抵抗、コンデンサ等のチップ部品、その他の電子部品を基板上にリフローはんだ付けで実装する方法、及びそれらはんだ付けによる実装に適した電子部品、並びにかかる電子部品を基板に実装した電子デバイスに関する。

【0002】

【従来の技術】従来、QFP、SOP 等のような多数の

リードを有する半導体部品をはんだ付けにより基板に実装する方法として、予め基板上のパッドにはんだを印刷等により付着させ、半導体部品を基板上の所定位置に、そのリードを対応する各パッドに合わせて載置した後にリフロー炉又はヒータで加熱して、一度の工程で全リードを一括してはんだ付けするリフロー法が多く使用されている。また、半導体部品を基板上に載せるために、チップマウントと呼ばれる自動装置が一般に用いられ、これらを連続的にライン化して生産性の向上が図られている。

【0003】他方、電子機器の高機能化・小型化の傾向に伴い、半導体部品はリード数が大幅に増加し、またその高密度化・小型化を図るためにリード及びリードピッチのファイン化が進んでいる。このため、半導体部品をはんだ付けする際には、ブリッジの形成を防止するために使用するはんだ量を少なくし、かつ良好な結合状態を得るためにはんだのぬれ性を向上させることが重要である。従来より、N₂ リフロー炉を用いて窒素雰囲気内で加熱することによって、リード表面の酸化防止によるはんだのぬれ性向上を図りながら同時にはんだ付けする方法が知られている。

【0004】はんだのぬれ性を向上させる別の従来技術として、特開平 3 - 1 7 4 9 7 2 号公報には、減圧下で発生させた放電ガスのプラズマを基板表面に衝突させることによって、該表面の不純物、汚れを除去し、ぬれ性を改善した後にはんだ材料を付着させる基板のはんだ付け方法が開示されている。また、特開平 6 - 2 1 0 4 4 5 号公報に記載される方法では、電極間の放電により水素と不活性ガスとからなる混合ガスを大気圧下で励起し、それにより作られる原子状水素を含むプラズマを用いて、金属製品の表面から金属酸化物を除去し、又は該表面をろう付けもしくは金属被覆する表面処理を行う。

【0005】

【発明が解決しようとする課題】しかしながら、上述した N₂ リフロー炉では、基板上に半導体部品を載置した状態でその全体が表面処理されるため、リードだけでなく基板表面までぬれ性が改善されるので、加熱により溶融したはんだが、パッド上からリード以外の部分即ち基板表面にも広がるように流れる。このため、半導体部品のリード及びそのピッチがファイン化すればするほど、使用するはんだ量が少なくなるとはならず、リードとパッドとの間に良好な接合強度が得られず、将来に剥離等にはんだ劣化を起こしたり、全く又は十分にはんだ付けされないはんだ不足を生じる虞がある。このため、歩留まりが低下し、生産性が低下してコストが上昇する。逆に、はんだ使用量が多いときには、隣接するリード間又はパッド間でブリッジを生じる虞がある。更に、かかる高価なリフロー炉をライン毎に設けることになるので、機械・設備及び製造コストが大幅に増大し、価格の高騰を招く。

10

20

30

40

50

【 0 0 0 6 】また、特開平 3 - 1 7 4 9 7 2 号に開示される真空中又は減圧下でのプラズマによる表面処理は、真空設備を必要とするために、装置全体が大がかりで広いスペースを必要とし、ライン化が困難であり、かつコストが高くなる。また、常圧状態と真空又は減圧状態との間で移行するために多大の手間と時間を要するので、生産性の向上が図れない。しかも、半導体部品のリード以外の部分まで表面処理されて、ダメージを与える虞がある。これに対し、特開平 6 - 2 1 0 4 4 5 号記載の方法は、大気圧下でのプラズマを用いるため、真空設備を必要としないが、金属表面を清浄化し、金属酸化物を除去するものであるから、リフロー炉での加熱により金属表面に再び酸化物が形成されて、はんだのぬれ性が低下する虞がある。

【 0 0 0 7 】そこで、本発明の電子部品の実装方法は、上述した従来の問題点に鑑みてなされたものであり、その目的とするところは、表面実装用の電子部品について、リード及びリードピッチのファイン化に対応可能で、ブリッジを生じない適正な少ないはんだ使用量で十分な接合強度を有する良好なリフローはんだ付けを可能にし、かつ比較的簡単な構成により歩留まりを向上させてコストの低減を図り得る電子部品の実装方法を提供することにある。

【 0 0 0 8 】また、本発明の目的は、従来より少ないはんだ使用量で十分な接合強度を発揮するはんだ付けによる実装を可能にし、リード及びリードピッチをより一層ファイン化し得る電子部品を提供することにある。

【 0 0 0 9 】更に本発明の目的は、そのような電子部品を基板に表面実装することにより、電子機器の小型化・高機能化に対応した高密度実装化・小型化を実現した電子デバイスを提供することにある。

【 0 0 1 0 】

【課題を解決するための手段】本発明は、上述した目的を達成するためのものであり、以下にその内容を図面に示した実施例を用いて説明する。本発明の電子部品の実装方法は、電子部品を実装しようとする基板の電極にはんだを予め付着させる過程と、大気圧又はその近傍の圧力下において気体放電を発生させることにより所定のガスの励起活性種を生成し、該励起活性種に前記電子部品の接続部、例えばリードを曝露させて表面処理する過程と、表面処理した電子部品を基板に装着する過程と、基板上の前記はんだを溶融させて電子部品を前記電極にはんだ付けする過程とからなることを特徴とする。

【 0 0 1 1 】このように大気圧下で作られるプラズマによる表面処理を予め施すことによって、電子部品の接続部表面は、比較的簡単な設備及び工程ではんだのぬれ性が向上するので、従来より少ないはんだ使用量でブリッジを生じることなく、かつ十分な接合強度を有する良好なはんだ付けを実現することができる。従って、歩留まり及び品質の向上を図り、かつコストの低減を達成する

ことができる。

【 0 0 1 2 】前記放電にガス種としてフロンを使用すると、電子部品の接続部表面にはフッ化合物が形成されるので、はんだのぬれ性がより一層確実に促進される。また、パレットに多数の電子部品を載せて前記励起活性種に曝露し、一括して表面処理すると、生産性の向上を図ることができ、好都合である。はんだは、基板の電極にクリームはんだを印刷することによって供給することができる。

10 【 0 0 1 3 】また、本発明によれば、はんだ付けにより基板の電極に接合される接続部を有し、かつ該接続部の表面が、大気圧又は近傍の圧力下で気体放電させることにより所定のガス中に生成される励起活性種に暴露することによって予め処理されていることを特徴とする電子部品が提供される。

20 【 0 0 1 4 】はんだ付けされる接続部の表面が、大気圧下で作られるプラズマによる表面処理で予めはんだのぬれ性促進が図られているので、従来より少ないはんだ使用量でブリッジを生じることなく、かつ十分な接合強度を発揮するにはんだ付けすることができる。かかる電子部品を搭載することによって電子機器の品質が向上し、また、製造上歩留まりの低下、コストの低減が図られる。

【 0 0 1 5 】更に本発明によれば、上述した大気圧下で作られるプラズマによる表面処理を予め電子部品の接続部に施し、かつその電子部品をリフローはんだ付けにより基板に表面実装した電子デバイスであって、電子部品の接続部を基板の電極に接合するはんだのフィレットの表面に、電極側から接続部側へ延びる細い筋状に形成されたしわを有することを特徴とする電子デバイスが提供される。

【 0 0 1 6 】

【発明の実施の形態】図 1 は、本発明を適用した半導体部品の実装ラインの構成を概略的に示している。この実装ライン 1 は、リフロー法により半導体チップを基板上に表面実装するための従来の実装ラインと略同じ構成を有し、基板表面にはんだを付着させるはんだ印刷機 2 と、基板上に半導体部品を装着するチップマウンタ 3 と、リフロー装置 4 と、実装検査機 5 とを備える。これらの装置 2 ~ 5 は、コンベア手段 6 によってインライン化されている。

【 0 0 1 7 】前記半導体部品は、実装ライン 1 とは別個に設けた表面処理装置 7 からチップマウンタ 3 に供給される。表面処理装置 7 は、前記半導体部品のリードを予め表面処理して、はんだに対するぬれ性を向上させるためのものである。本実施例では、多数の半導体部品を一括してバッチ処理するために、図 2 に示すようなパレット 8 を使用する。パレット 8 の上面には、多数の四角い凹所 9 が設けられ、前記各凹所内に半導体部品 1 0 が 1 個ずつ載置されている。半導体部品 1 0 は、図 3 に示す

ように、4方向にリード11を導出させたQFP (Quad Flat Package) と呼ばれる表面実装用パッケージタイプのICチップであり、そのリードピッチは0.5mmのファインピッチである。

【0018】多数の前記半導体部品を載せたパレット8は、コンベアによって表面処理装置7の送出部12から放電部13を通過して受取部14へ搬送される。放電部13は、図4に示すように、狭い空隙を介して対向する1対の石英ガラス板15の両側に配置された電源電極16及び接地電極17を備える。両電極16、17は、ガラス材料、アルミナなどの誘電体からなる上下ブロック18、19で上下両側から固定されている。前記両電極及び下ブロックの外側には、電磁波防止カバー20が取り付けられている。石英ガラス板15は異常放電を解消するためのものであり、従って接地電極17側を省略して電源電極16側にのみ設けても良く、また石英ガラス以外のガラス材料、アルミナ、セラミックスなど他の誘電体材料を用いることができる。

【0019】前記ガラス板の間に画定されるスロット状のガス通路21に外部のガス供給源から所定のガスを送給しつつ、電源22から電源電極16に所定の電圧を印加して、大気圧又はその近傍の圧力下において接地電極17との間で気体放電を発生させる。この気体放電によってガス通路21の放電領域23には、プラズマによる前記ガスの解離、電離、励起などが起こり、イオン、電子、励起された原子・分子、ラジカル（遊離原子）などの励起活性種が生成される。これら励起活性種は、ガス通路21の下端に開口するノズル部24から下向きに噴射される。

【0020】コンベア25は、ノズル部24の直ぐ下側を僅かな隙間をもって通過するようにパレット8を搬送する。前記パレットの各凹所9内に収容された前記半導体部品のリード11は、ノズル部24から噴射される前記励起活性種に曝露されて表面処理される。ただし、リード11の裏側は、前記励起活性種に曝露され難いため、その表側に比して表面処理の効果は少ない。このとき、前記電極から生じる電磁波は、上述したように前記電極の周囲に設けた電磁波防止カバー20に吸収されるので、パレット8上の各半導体部品にダメージなどの悪影響を与える虞はない。

【0021】本実施例では、前記ガスにフレオンの商品名で知られるフッ化炭化水素（例えばCF₄）を含むガスを使用した。CF₄を用いてプラズマを作った場合、放電領域23には、フッ素のラジカル、イオンや、電子、CF₂、CF₃などの分解生成物が存在すると考えられ、特にフッ素ラジカルは化学的に極めて活性であることが知られている。従って、これら励起活性種に曝露されたリード11の表面にはフッ素化合物が形成され、はんだに対するぬれ性を大幅に向上させることができた。また、フレオン以外のガス種として、少なくともフ

ッ素を含む化合物又はフッ素単体を用いてプラズマを作っても、同様にフッ素のラジカルなどの励起活性種が生成されるので、前記リード表面にフッ素化合物を形成してぬれ性の向上を図ることができる。尚、前記ガスにヘリウムなどの希ガスを混合すると、大気圧下での気体放電を発生させ易いことは、当業者において既に知られる通りである。

【0022】このようにしてパレット毎に表面処理された前記半導体部品は、そのまま前記パレットに載せた状態で受取部14から取り出され、実装ライン1のチップマウンタ3に供給される。本発明によれば、オフラインに配設した1台の表面処理装置7からその処理能力に応じて複数の実装ラインに前記半導体部品を供給することができる。従って、従来のように各実装ライン毎にN₂リフロー炉を用いた場合に比して、設備を簡単にしかつ製造コストを大幅に低減させることができる。また、同じ基板に異なる型の半導体部品を搭載するために実装ライン1が複数のチップマウンタを備える場合には、1台の表面処理装置7でそれぞれ異なる型の半導体部品を収容したパレットを処理し、かつ各パレットを対応するチップマウンタに供給することができる。

【0023】他方、実装ライン1の基板送出部26からはんだ印刷機2に送り出された基板27は、図5Aに示すように、例えばメタルスクリーンを用いた従来のスクリーン印刷法で所定位置の電極パッド28に適正量のクリームはんだ29が塗布される。ここで、上述したように前記基板に搭載される半導体部品10のリード11はぬれ性が改善されているので、基板27の前記各電極パッドに使用するはんだ量は、従来より少なくすることができる。本実施例では、はんだ使用量を従来よりも10～20%程度減らした。クリームはんだ29を印刷した基板27は、コンベア手段6によってチップマウンタ3に送られる。

【0024】チップマウンタ3は、表面処理装置7から受け取った前記パレットから半導体部品を1個ずつ取り出し、その各リード11を前記基板の対応する電極パッド28に位置決めして所定位置に装着する。このときリード11は、図5Bに示すように、その先端部30がクリームはんだ29内に部分的に没入して固定される。前記半導体部品を装着した基板27は、チップマウンタ3からコンベア手段6によってリフロー装置4に送られる。

【0025】クリームはんだ29は、リフロー装置4内部を通過する際に熱風で加熱されて熔融し、リード11を電極パッド28にはんだ付けする。上述したようにはんだ使用量を従来よりも10～20%程度少なくしたので、全くブリッジが発生せず、しかも図5Cに示すような良好な接合状態が得られた。リード11の表面張力は、はんだのぬれ性が促進されることにより従来より非常に大きくなっているので、熔融したはんだは、電極パ

ッド 2 8 の平面から従来より強い力でリード先端部に上向きに吸い寄せられる。この結果、はんだは、電極パッド 2 8 側に流れ過ぎることなく、リード先端部 3 0 の上端まで上昇して先端フィレット 3 1 及びサイドフィレット 3 2 を形成する。特に先端フィレット 3 1 の表面には、図 6 に併せて良く示すように、従来より少ないはんだにリード側から従来より強い表面張力が作用した結果、電極側からリード側へ延びる細い筋状にいくつかのしわ 3 3 が生じている。また、サイドフィレット 3 2 は、リード 1 1 の屈曲部 3 4 を包む位置まで付着している。他方、屈曲部 3 4 の裏側に形成されるヒール部フィレット 3 5 は、上述したように表面処理の効果が少なく、ぬれ性があまり向上していないので、前記先端フィレット及びサイドフィレットに比べてはんだの付着が少ない。

【 0 0 2 6 】このように本発明によれば、ファインピッチのリードを、従来より少ないはんだ量でもはんだ付け不良や欠陥を生じることなく十分な接合強度をもって良好にはんだ付けすることができる。これに対して、図 7 は、リード 3 6 に本発明の表面処理を施していない従来の半導体部品を、上記実施例と同じはんだ量のクリームはんだを電極パッド 2 8 に印刷した基板 2 7 にリフローによりはんだ付けした場合のリードの接合状態を示している。同図に示す先端フィレット 3 7 及びサイドフィレット 3 8 の形状を図 5 C と比較すれば分かるように、はんだが、リード 3 6 表面のぬれ不足から基板 2 7 の電極パッド 2 8 側に流れ過ぎた結果、はんだ付け不良を生じている。そうでないとしても、接合面積が小さいので、十分な接合強度が得られず、剥離等のはんだ劣化を容易に起こす虞がある。

【 0 0 2 7 】リフロー装置 4 ではんだ付けされた前記各基板は、実装検査機 5 に送られて電氣的検査を受けた後、基板受取部 3 9 から搬出される。尚、本実施例では、基板上の電子部品やデバイスに対する熱ストレスを低減させるために、温度分布を均一にできる熱風炉をリフロー装置 4 として使用した。しかしながら、本発明によれば、赤外線、レーザ、光ビーム、ヒータブロック、超音波等により加熱する他の方式のリフロー炉を用いることができる。

【 0 0 2 8 】また、本発明は、その技術的範囲内において、上記実施例に様々な変形・変更を加えて実施することができる。例えば、半導体部品には Q F P のみを例示したが、本発明は、リフローはんだ付けにより実装されるものであれば、同様のリードを有する S O P や T C P 等の表面実装用半導体部品、その他様々な表面実装用の電子部品についても、同様に適用することができる。更に、リフローはんだ付けに使用するはんだは、クリームはんだに限らず、成形はんだ又ははんだめっきにより供給されるものでも良い。また、半導体部品は、パレットを用いずに 1 個ずつ表面処理して使用することもでき

る。その場合、表面処理装置 7 をチップマウンタ 3 に一体的に組み込み、半導体部品を表面処理してから基板に装着することができる。

【 0 0 2 9 】

【発明の効果】本発明は、以上のように構成されているので、以下に記載されるような効果を奏する。本発明の電子部品の実装方法によれば、電子部品の接続部表面は、大気圧下で作られるプラズマによる表面処理によってはんだのぬれ性が予め促進されているので、従来より少ない適正なはんだ使用量でブリッジを生じることなく、かつ十分な接合強度を有する良好な接合状態のはんだ付けが実現でき、それによりリード及びリードピッチのファイン化に対応して電子部品の小型化・高性能化を図ると同時に、歩留まり及び品質の向上、並びにコストの低減を図ることができる。

【 0 0 3 0 】また、本発明の電子部品によれば、はんだ付けされる接続部の表面は、大気圧下でのプラズマによる表面処理で予めはんだのぬれ性が促進されているので、従来より少ないはんだ使用量でブリッジを生じることなく、かつ十分な接合強度をもって良好にはんだ付けすることができ、歩留まりの低下及びコストの低減と共に、リード及びリードピッチのファイン化を実現して小型化・高性能化を図ることができる。従って、これを搭載する電子機器の品質向上及び小型化・高機能化が図られる。

【 0 0 3 1 】更に本発明の電子デバイスによれば、実装される電子部品のリード及びリードピッチのファイン化によって、最近の電子機器の小型化・高機能化に対応した高密度実装化・小型化を実現することができる。

【図面の簡単な説明】

【図 1】本発明を適用した半導体部品の実装ラインの構成を示す概略図である。

【図 2】多数の半導体部品を載せたパレットの斜視図である。

【図 3】図 2 の半導体部品を示す斜視図である。

【図 4】本発明により表面処理される半導体部品のリードを示す部分拡大図である。

【図 5】表面処理した半導体部品のリードを基板上のパッドにはんだ付けするリフロー工程を示す A 図乃至 C 図からなる部分拡大図である。

【図 6】図 5 C の VI - VI 線における矢視図である。

【図 7】従来技術によりリフローはんだ付けした半導体部品のリードを示す部分拡大図である。

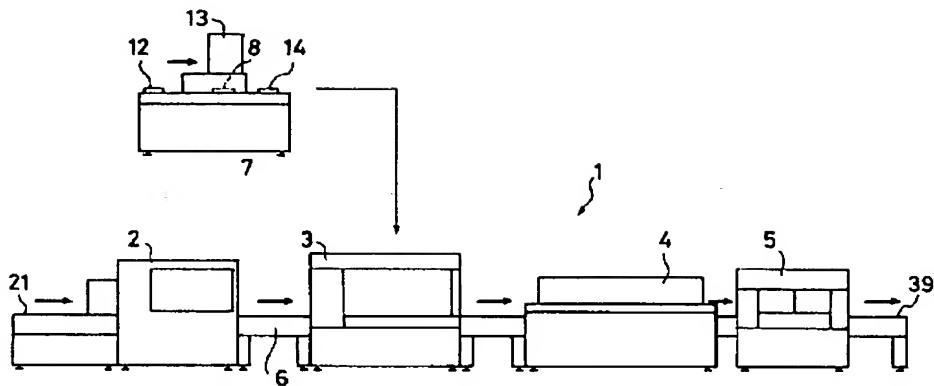
【符号の説明】

- 1 実装ライン
- 2 はんだ印刷機
- 3 チップマウンタ
- 4 リフロー装置
- 5 実装検査機
- 6 コンベア手段

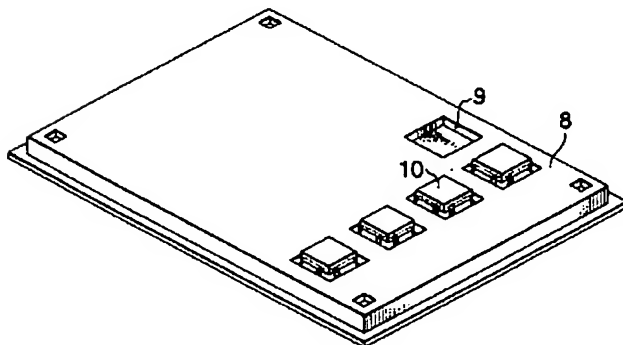
- 7 表面処理装置
 8 パレット
 9 凹所
 10 半導体部品
 11 リード
 12 送出部
 13 放電部
 14 受取部
 15 石英ガラス板
 16 電源電極
 17 接地電極
 18、19 上下ブロック
 20 電磁波防止カバー
 21 ガス通路
 22 電源
 23 放電領域

- 24 ノズル部
 25 コンベア
 26 基板送出部
 27 基板
 28 電極パッド
 29 クリームはんだ
 30 先端部
 31 先端フィレット
 32 サイドフィレット
 33 しわ
 34 屈曲部
 35 ヒール部フィレット
 36 リード
 37 先端フィレット
 38 サイドフィレット
 39 基板受取部

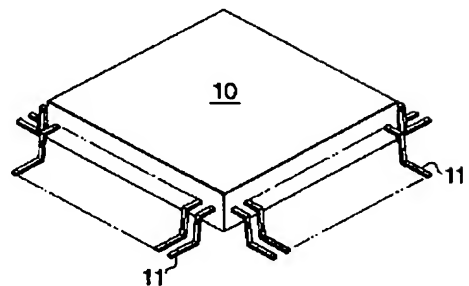
【図 1】



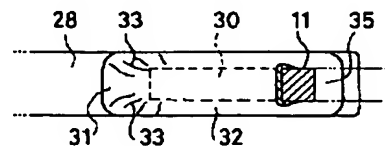
【図 2】



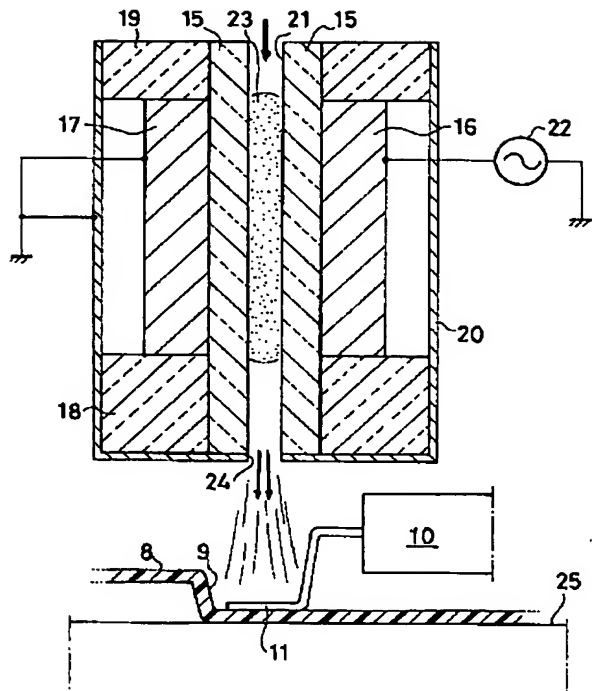
【図 3】



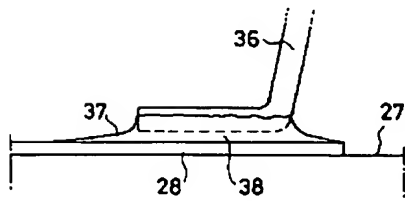
【図 6】



【図 4】



【図 7】



【図 5】

